Docket No.: 50195-391 **PATENT**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Saichirou KANEKO, et al.	:	Confirmation Number:
Serial No.:	:	Group Art Unit:
Filed: October 10, 2003	:	Examiner:

For: INSULATED GATE TUNNEL-INJECTION DEVICE HAVING HETEROJUNCTION AND METHOD FOR MANUFACTURING THE SAME

□

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. P2002-301540, filed on October 16, 2002.
Japanese Patent Application No. P2002-298944, filed on October 11, 2002.
Japanese Patent Application No. P2002-305066, filed on October 18, 2002.
Japanese Patent Application No. P2002-324308, filed on November 7, 2002.

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Cameron Weiffenbach (#44,988)

Robert L. Price
Registration No. 22,685

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 RLP:gav
Facsimile: (202) 756-8087
Date: October 10, 2003

50195-391
Saichirou KANEKO, etal.
October 10, 2003

日　本　国　特　許　庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２００２年１０月１６日

出願番号
Application Number: 特願２００２－３０１５４０

[ST.10/C]: [ＪＰ２００２－３０１５４０]

出願人
Applicant(s): 日産自動車株式会社

２００３年　６月３０日

特許庁長官
Commissioner,
Japan Patent Office 太田信一郎

出証番号　出証特２００３－３０５１２７９

【書類名】　特許願

【整理番号】　NM02-00833

【提出日】　平成14年10月16日

【あて先】　特許庁長官　殿

【国際特許分類】　H01L 29/737

H01L 29/739

H01L 29/772

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地

日産自動車株式会社内

【氏名】　金子　佐一郎

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地

日産自動車株式会社内

【氏名】　星　　正勝

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地

日産自動車株式会社内

【氏名】　クライソン　トロンナムチャイ

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地

日産自動車株式会社内

【氏名】　林　　哲也

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地

日産自動車株式会社内

【氏名】　田中　秀明

【発明者】

【住所又は居所】　神奈川県横浜市神奈川区宝町２番地

日産自動車株式会社内

【氏名】　三原　輝儀

【特許出願人】

【識別番号】　000003997

【氏名又は名称】　日産自動車株式会社

【代理人】

【識別番号】　100075753

【弁理士】

【氏名又は名称】　和泉　良彦

【電話番号】　03-3214-0502

【手数料の表示】

【予納台帳番号】　084480

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　9707175

【プルーフの要否】　要

【書類名】　　明細書

【発明の名称】　炭化珪素半導体装置

【特許請求の範囲】

【請求項１】

炭化珪素半導体基体中の第1導電型のドレイン領域と、該ドレイン領域と接続されて形成される第1導電型のドリフト領域と、該ドリフト領域上の所定領域に形成され、炭化珪素半導体とヘテロ接合する第2導電型のヘテロ半導体領域と、該第2導電型のヘテロ半導体領域に接続するように形成され、前記ドリフト領域には接続されない第1導電型のヘテロ半導体領域と、前記第2導電型のヘテロ半導体領域の表面に形成され、少なくとも前記ドリフト領域及び前記第1導電型のヘテロ半導体領域まで延設されるゲート絶縁膜と、該ゲート絶縁膜の上に形成されたゲート電極と、前記ドレイン領域に接触するドレイン電極と、前記第1導電型のヘテロ半導体領域に接触するソース電極と、を備えたことを特徴とする炭化珪素半導体装置。

【請求項２】

炭化珪素半導体基体中の第1導電型のドレイン領域と、該ドレイン領域と接続されて形成される第1導電型のドリフト領域と、該ドリフト領域の表層部の所定領域に形成され、所定深さを有する溝と、該溝に沿って、前記ドリフト領域上の所定領域に形成され、炭化珪素半導体とヘテロ接合する第2導電型のヘテロ半導体領域と、同じく前記溝に沿って、前記第2導電型のヘテロ半導体領域上に積層されて形成される第1導電型のヘテロ半導体領域と、前記溝内にゲート絶縁膜を介して充填されるゲート電極と、前記ドレイン領域に接触するドレイン電極と、前記第1導電型のヘテロ半導体領域に接触するソース電極と、を備えたことを特徴とする炭化珪素半導体装置。

【請求項３】

炭化珪素半導体基体中の第1導電型のドレイン領域と、該ドレイン領域と接続されて形成される第1導電型のドリフト領域と、該ドリフト領域の表層部の所定領域に形成され、所定深さを有する溝と、該溝内に形成され、炭化珪素半導体とヘテロ接合する第2導電型のヘテロ半導体領域と、前記溝内に前記第2導電型のヘ

テロ半導体領域を介して形成される第1導電型のヘテロ半導体領域と、前記第2導電型のヘテロ半導体領域の表面に形成され、少なくとも前記ドリフト領域及び前記第1導電型のヘテロ半導体領域まで延設されるゲート絶縁膜と、該ゲート絶縁膜の上に形成されたゲート電極と、前記ドレイン領域に接触するドレイン電極と、前記第1導電型のヘテロ半導体領域に接触するソース電極と、を備えたことを特徴とする炭化珪素半導体装置。

【請求項４】

前記ゲート電極にゲート絶縁膜を介して対向する前記第1導電型のドリフト領域の一部に、少なくとも前記ドリフト領域よりも不純物濃度が高い第1導電型の高濃度半導体領域が形成されており、該第1導電型の高濃度半導体領域が前記第2導電型のヘテロ半導体領域に接触していることを特徴とする請求項１乃至３のいずれか記載の炭化珪素半導体装置。

【請求項５】

前記ゲート電極にゲート絶縁膜を介して対向する前記第1導電型のドリフト領域の表面の一部に、第2導電型の電界緩和領域が形成されていることを特徴とする請求項１乃至４のいずれか記載の炭化珪素半導体装置。

【請求項６】

前記ゲート電極にゲート絶縁膜を介して対向する前記第1導電型のドリフト領域の表面の一部に、絶縁電界緩和層が形成されていることを特徴とする請求項１乃至５のいずれか記載の炭化珪素半導体装置。

【請求項７】

炭化珪素半導体とヘテロ接合する前記ヘテロ半導体領域が、炭化珪素よりもバンドギャップが小さい半導体材料よりなることを特徴とする請求項１乃至６のいずれか記載の炭化珪素半導体装置。

【請求項８】

前記炭化珪素よりもバンドギャップが小さい半導体材料が単結晶シリコン、アモルファスシリコン、多結晶シリコンの少なくとも１つであることを特徴とする請求項７記載の炭化珪素半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、炭化珪素半導体装置に関する。

【０００２】

【従来の技術】

【特許文献】特開平10－233503号公報（第５－６頁、図１）

【非特許文献】V. V. Afanasev, M. Bassler, G. Pensl and M. Schulz, Phys. Stat. Sol. (A) 162 (1997) 321.。

【０００３】

炭化珪素（以下SiC）はバンドギャップが広く、また、最大絶縁破壊電界がシリコン（以下Si）と比較して一桁も大きい。さらに、SiCの自然酸化物はSiO_2であり、Siと同様の方法により容易にSiCの表面上に熱酸化膜を形成できる。このため、SiCは電気自動車の高速/高耐圧スイッチング素子、特に高電力ユニ/バイポーラ素子として用いた際に非常に優れた材料となることが期待される。

【０００４】

従来のSiCパワーMOSFET構造は、例えば上記特許文献に開示されている。この従来のSiCパワーMOSFETでは、高濃度N^+型SiC基板上にN^-型SiCエピタキシャル領域が形成されている。そして、エピタキシャル領域の表層部における所定領域には、P^-型ベース領域、及びN^+型ソース領域が形成される。また、N^-型SiCエピタキシャル領域の上にはゲート絶縁膜を介してゲート電極が配置され、ゲート電極は層間絶縁膜にて覆われている。P^-型ベース領域及びN^+型ソース領域に接するようにソース電極が形成されるとともに、N^+型SiC基板の裏面にはドレイン電極が形成されている。

【０００５】

このSiCパワーMOSFETの動作としては、ドレイン電極とソース電極との間に電圧が印加された状態で、ゲート電極に正の電圧が印加されると、ゲート電極に対向したP^-型ベース領域の表層に反転型のチャネル領域が形成され、ドレイン電極からソース電極へと電流を流すことが可能となる。また、ゲート電極に印加された電圧を取り去ることによって、ドレイン電極とソース電極との間は電気的に

絶縁され、スイッチング機能を示すことになる。

【０００６】

【発明が解決しようとする課題】

しかしながら、上記特許文献に示されたSiCパワーMOSFETには以下のような課題がある。すなわち、ゲート絶縁膜と反転型のチャネル領域との界面に不完全な結晶構造、すなわち多量の界面準位が存在する（上記非特許文献参照）。このため、ゲート電極に電圧を印加して形成したチャネル領域表層の反転型チャネルを通るキャリアの移動度が非常に小さく、チャネル抵抗が大きいという問題があった。チャネル長を短く形成できればチャネル抵抗自体は小さくなる。しかし、チャネル領域が短すぎると、ゲート電極及びソース電極を接地した状態でドレイン電極に高電圧を印加した場合、チャネル領域でパンチスルーが起こる恐れがあるため、実際チャネル長を1μm以下に形成することは難しく、結果的にSiCパワーMOSFETのオン抵抗が高くなるという問題があった。

【０００７】

本発明は、上記のごとき従来技術の問題を解決するためになされたものであり、低オン抵抗の高耐圧電界効果トランジスタである炭化珪素半導体装置を提供することを目的とする。

【０００８】

【課題を解決するための手段】

上記課題を解決するため、本発明は、炭化珪素半導体基体中の第1導電型のドレイン領域と、該ドレイン領域と接続される第1導電型のドリフト領域と、該ドリフト領域上に形成され、炭化珪素半導体とヘテロ接合する第2導電型のヘテロ半導体領域と、該第2導電型のヘテロ半導体領域に接続され、ドリフト領域には接続されない第1導電型のヘテロ半導体領域と、前記第2導電型のヘテロ半導体領域の表面に形成され、ドリフト領域及び第1導電型のヘテロ半導体領域まで延設されるゲート絶縁膜と、該ゲート絶縁膜の上に形成されたゲート電極と、前記ドレイン領域に接触するドレイン電極と、前記第1導電型のヘテロ半導体領域に接触するソース電極とを備えたことを特徴とする。

【０００９】

【発明の効果】

本発明によれば、低オン抵抗の高耐圧電界効果トランジスタである炭化珪素半導体装置を提供することができる。

【００１０】

【発明の実施の形態】

以下、図面を用いて本発明の実施の形態について詳細に説明する。なお、以下で説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【００１１】

以下、この発明の実施の形態を図面に従って説明する。なお、本実施の形態で用いられる炭化珪素（SiC）のポリタイプは4Hが代表的であるが、6H、3C等その他のポリタイプでも構わない。また、ヘテロ半導体領域に多結晶シリコンを用いた例で説明したが、ヘテロ半導体領域を形成する材料はこの限りではない（詳細は後述）。さらに、本実施の形態ではすべてドレイン電極を半導体基板裏面に形成し、ソース電極を基板表面に配置して電流を素子内部に縦方向に流す構造の炭化珪素半導体装置で説明したが、例えばドレイン電極をソース電極と同じく基板表面に配置して、電流を横方向に流す構造の炭化珪素半導体装置でも本発明が適用可能である。本実施の形態においては、例えばドレイン領域10がN型となるような構成で説明したが、P型となるような構成にしてもよい。

【００１２】

また、本発明の主旨を逸脱しない範囲での変形を含むことは言うまでもない。

【００１３】

実施の形態1

図1は本発明による炭化珪素半導体装置の実施の形態1を示している。ドレイン領域となるN^+型SiC基板10上にN^-型エピタキシャル領域20が積層される。このエピタキシャル領域20上の所定領域にはP^-型多結晶シリコン層60が形成される。P^-型多結晶シリコン層60とエピタキシャル領域20とはヘテロ接合しており、図13のエネルギーバンド図に示すように接合界面にはエネルギー障壁140が存在している。また、N^-型エピタキシャル領域20上の所定領域には、絶縁膜70を介

して、P^-型多結晶シリコン層60に接続されたN^+型多結晶シリコン層50が形成されている。さらに、P^-型多結晶シリコン層60の表面にゲート絶縁膜30が形成される。このゲート絶縁膜30は少なくともドリフト領域20と、及びN^+型多結晶シリコン層50まで延設される。ゲート絶縁膜30上にはゲート電極40が形成される。N^+型多結晶シリコン層50はソース電極80に接続される。N^+型SiC基板10の裏面にはドレイン電極90が形成されている。

【００１４】

この炭化珪素半導体装置は、ソース電極80を接地し、ドレイン電極90に正の電圧Vdを印加して使用する。そして、このとき、ゲート電極40が接地されていると、素子の特性は、P^-型多結晶シリコン層60とSiCエピタキシャル領域20とのヘテロ接合ダイオードの逆方向バイアス特性となる。

【００１５】

すなわち、エピタキシャル領域20側には、ドレイン電圧Vdに応じて空乏層が伸びる。一方で、P^-型多結晶シリコン層60内では少数キャリアである電子がエネルギー障壁140を越えられずに接合界面に蓄積する。その様子を示したのが図14である。そして、エピタキシャル領域20側に伸びる空乏層に見合う電気力線がこの電子の蓄積層で終端し、P^-型多結晶シリコン層60側では電界がシールドされる。それゆえ、先にP^-型多結晶シリコン層60がブレークダウンを起こすということはなく、ドレイン電圧Vdが所定電圧Vbになって初めてドレイン電極90からソース電極80へと急激に電流が流れ始める。

【００１６】

また、上述したようなヘテロ接合ダイオードの逆方向バイアス特性では、P^-型多結晶シリコン層60の厚さを例えば200Å程度まで薄くしても300V以上もの耐圧が確保できることが実験で確認されている。それゆえ、本発明の構成を用いた炭化珪素半導体装置では、ヘテロ半導体領域60の厚さを薄くしても、上記P^-型多結晶シリコン層60側では電界がシールドされる効果によりパンチスルーが起こる恐れがなく、チャネル長は少なくともヘテロ半導体領域60の厚さ例えば200Å程度まで短くすることができるため、著しくチャネル抵抗を小さくすることが可能である。

【００１７】

一方で、ゲート電極40に正電圧が印加されると、P^-型多結晶シリコン層60は強反転状態となり表層にN^+型層が形成される。さらに、P^-型多結晶シリコン層60とSiCエピタキシャル領域20とのヘテロ接合界面に電界が作用し、電界集中によりヘテロ接合面がなすエネルギー障壁の厚さが薄くなる。図15にその様子を示す。点線で示したエネルギーレベルがゲート電圧印加前であり、実線のそれがゲート電圧印加後を示す。その結果、ドレイン電圧Vdが所定電圧Vb以下であってもトンネル現象が生じて電流が流れ始める。

【００１８】

つまり、本発明による炭化珪素半導体装置は、ドレイン電圧VdをVb以下に保ち、この状態にてゲート電極40に正電圧を印加することにより、ドレイン電極90とソース電極80との間の電流制御を行うものである。

【００１９】

すなわち、本実施の形態1の炭化珪素半導体装置は、炭化珪素半導体基体中の第1導電型のドレイン領域10と、ドレイン領域10と接続されて形成される第1導電型のドリフト領域20と、ドリフト領域20上の所定領域に形成され、炭化珪素半導体とヘテロ接合する第2導電型のヘテロ半導体領域60と、第2導電型のヘテロ半導体領域60に接続するように形成され、ドリフト領域20には接続されない第1導電型のヘテロ半導体領域50と、第2導電型のヘテロ半導体領域60の表面に形成され、少なくともドリフト領域20及び第1導電型のヘテロ半導体領域50まで延設されるゲート絶縁膜30と、ゲート絶縁膜30の上に形成されたゲート電極40と、ドレイン領域10に接触するドレイン電極90と、第1導電型のヘテロ半導体領域50に接触するソース電極80とを備えたことを特徴とする。

【００２０】

次に、本実施の形態1の炭化珪素半導体装置の製造方法の一例を、図10(a)～(e)の断面図を用いて説明する。

【００２１】

まず、図10(a)の工程においては、N^+型SiC基板10の上に、例えば不純物濃度が10^{14}～10^{18} cm^{-3}、厚さが１～100μmのN^-型SiCエピタキシャル領域2

0が形成されている。

【００２２】

図10(b)の工程においては、エピタキシャル領域20に対して犠牲酸化を行い、その犠牲酸化膜を除去した後に、例えば0.01～10μm程度CVD酸化膜を堆積し、パターニングを行って絶縁膜70を形成する。

【００２３】

図10(c)の工程においては、多結晶シリコン層を厚さ例えば0.1から10μm程度減圧CVD法を用いて堆積する。その後、この多結晶シリコン層に所望の不純物を導入し、P^-型多結晶シリコン層60、N^+型多結晶シリコン層50をそれぞれ形成する。この方法としては、堆積した多結晶シリコン層のさらに上に、高濃度にドーピングされたデポ膜を堆積し、600～1000℃程度の熱処理によりデポ膜中の不純物を多結晶シリコン層中に熱拡散させるか、または、イオン注入により不純物を直接多結晶シリコン層中に導入してもよい。また、多結晶シリコン層におけるキャリアの移動度を向上させるために、例えば多結晶シリコン層をアニールして単結晶化または多結晶のグレインサイズを大きくしてもよい。さらに、多結晶シリコン層にレーザー光を照射することにより結晶化させてもよい。

【００２４】

図10(d)の工程においては、例えばCVD酸化膜を堆積してゲート絶縁膜30を形成し、ゲート絶縁膜30上に再度多結晶シリコン層を厚さ例えば0.1から10μm程度、減圧CVD法を用いて堆積する。その後、この多結晶シリコン層40に所望の不純物を導入し、パターニングを行ってゲート電極40を形成する。

【００２５】

図10(e)の工程においては、N^+型多結晶シリコン層50に接触するようにソース電極80を形成し、SiC基板10の裏面にドレイン電極90として金属膜を蒸着し、例えば600～1300℃程度で熱処理してオーミック電極とする。

【００２６】

このようにして図1に示す炭化珪素半導体装置が完成する。

【００２７】

この炭化珪素半導体装置においては、SiCとヘテロ半導体とのヘテロ接合を利

用することにより簡素な構成で高速/高耐圧のスイッチング素子が作製可能となる。また、チャネルが形成されるヘテロ半導体領域60とゲート絶縁膜30の接合界面は準位が少なく、キャリアは界面準位の影響を受けずにチャネルを通過できる。さらに、チャネルとなるヘテロ半導体領域60の厚さを薄くしてもパンチスルーが起こる恐れがなく、チャネル長（ドリフト領域20から第1導電型のヘテロ半導体領域50までの、第2導電型のヘテロ半導体領域60の長さ）を例えば200Åと短くすることが可能であるため、著しくチャネル抵抗を小さくできる。

【００２８】

さらに、本半導体装置は、基本となる素子構造の作製において、高エネルギーのイオン注入による不純物導入が必要ない。その結果、結晶性回復を兼ねた1500℃以上もの不純物活性化アニールは不要であり、製造工程の負荷が減らせるとともに高温アニールで生じる表面モフォロジーの悪化も回避できる。

【００２９】

なお、上記特許文献の従来技術では、P^-型ベース領域をN^-型SiCエピタキシャル領域内に形成するためには深い拡散領域を形成する必要があり、そのためには高エネルギーのイオン注入による不純物導入が欠かせない。高エネルギーのイオン注入を行うと、SiCエピタキシャル領域中に欠陥が発生し、リーク電流増加の原因となりやすい。また、結晶性回復を兼ねた不純物活性化のために、例えば1500℃以上もの高温アニールが必要であるが、高温アニール後に表面モフォロジーが悪化するという問題があった。本発明では、このような問題を解決できると共に、特にノーマリーオフの電圧駆動型で、製造工程の簡単な炭化珪素半導体装置を提供することが可能である。

【００３０】

また、ゲート電極40にゲート絶縁膜30を介して対向する第1導電型のドリフト領域20の表面の一部に、絶縁電界緩和層70が形成されていることを特徴とする。このような構造により、ヘテロ半導体領域60とドリフト領域20（もしくは高濃度半導体領域100）とのヘテロ接合へ印加される電界が、絶縁電界緩和層70により緩和されるので、素子の高耐圧化が図れるとともに、リーク電流を低減することができる。

【００３１】

またゲート絶縁膜30にかかる電界が、絶縁電界緩和層70とドリフト領域20との接合界面からドリフト領域20に伸びる空乏層によって緩和されるので、ゲート絶縁膜の信頼性が向上する。

【００３２】

さらに、本例では、第2導電型の電界緩和領域110の形成に欠かせない、高エネルギーのイオン注入による不純物導入が不要である。その結果、結晶性回復を兼ねた1500℃以上もの不純物活性化アニールは行わなくてよく、製造工程の負荷が減らせるとともに、高温アニールで生じる表面モフォロジーの悪化も回避できる。

【００３３】

なお、炭化珪素とヘテロ接合をしてスイッチング素子として機能するための条件としては、ヘテロ半導体領域のバンドギャップが炭化珪素のバンドギャップよりも小さいことが必要となる。逆にヘテロ半導体領域のバンドギャップが炭化珪素のバンドギャップよりも大きい場合では、両者はヘテロ接合をするが、スイッチング素子として機能しない。したがって、炭化珪素半導体とヘテロ接合するヘテロ半導体領域60及び50が、炭化珪素よりもバンドギャップが小さい半導体材料よりなり、例えば単結晶シリコン、アモルファスシリコン、多結晶シリコンの少なくとも１つからなることを特徴とする。すなわち、これらの材料は炭化珪素よりもバンドギャップが小さく、炭化珪素とヘテロ接合を形成する。このため、本発明による炭化珪素半導体装置において、ヘテロ半導体領域にこれらの材料を用いると、上記記載の効果が得られやすい。また、単結晶シリコン、アモルファスシリコンまたは多結晶シリコンにおいては、炭化珪素基板上への堆積、または酸化、パターニング、選択的エッチング、選択的伝導度制御等が容易である。

【００３４】

実施の形態2

図2は本発明による炭化珪素半導体装置の実施の形態2を示している。構成上の図1との相違は、P^{-}型多結晶シリコン層60がゲート絶縁膜30と隣接する領域を、N^{+}型高濃度SiC領域100としたことである。

【００３５】

P^-型多結晶シリコン層をN^+型SiC領域100にヘテロ接合させると、N^+型SiC領域100にはキャリアが多量に存在することに加えて、N^+型SiC領域100への空乏層の拡がりが小さくなり、エネルギー障壁の厚さが薄く形成される。その結果、低いゲート電圧で障壁のトンネル電流を流すことができ、ゲート電圧による主電流の制御が容易になる。

【００３６】

すなわち、実施の形態2の炭化珪素半導体装置では、実施の形態1記載の効果に加え、ゲート電圧による素子主電流の制御性が向上するという効果が得られる。このとき、P^-型多結晶シリコン層60とN^+型SiC領域100との耐圧は低いが、フィールドプレート効果により、絶縁膜70下部からN^-型エピタキシャル領域20内に空乏層が伸びるので、P^-型多結晶シリコン層60とN^+型SiC領域100との接合にかかる電界がシールドされるから、ドレイン耐圧の低下を防止できる。このように、本実施の形態2では、ゲート電極40にゲート絶縁膜30を介して対向する第1導電型のドリフト領域20の一部に、少なくともドリフト領域20よりも不純物濃度が高い第1導電型の高濃度半導体領域100が形成されており、第1導電型の高濃度半導体領域100が第2導電型のヘテロ半導体領域60に接触していることを特徴とする。このように、第1導電型の高濃度半導体領域100をヘテロ半導体領域60に接触するように形成することにより、高濃度半導体領域100にはキャリアが多量に存在することに加えて、高濃度半導体領域100への空乏層の拡がりが小さくなり、エネルギー障壁の厚さが薄く形成される。その結果、上記の効果に加え、低いゲート電圧で障壁のトンネル電流を流すことができ、ゲート電圧による主電流の制御が容易になる。

【００３７】

実施の形態3

図3は本発明による炭化珪素半導体装置の実施の形態3を示している。構成上の図2との相違は、N^+型多結晶シリコン層50下のSiCエピタキシャル領域20の部分に、ソース電極80に接続されたP^+型SiC電界緩和領域110を配置したことである。

【００３８】

本例では、実施の形態2で示したフィールドプレート効果による電界シールドに比べ、P^+型SiC電界緩和領域110からN^-型エピタキシャル領域20へとより空乏層を伸ばすことができる。このため、P^-型多結晶シリコン層60とN^+型SiC領域100との接合にかかる電界がシールドされるから、ドレイン耐圧の低下を防止することができる。

【００３９】

またゲート絶縁膜30に印加される電界が緩和されるのでゲート絶縁膜の信頼性が向上する。

【００４０】

このように、本実施の形態3では、ゲート電極40にゲート絶縁膜30を介して対向する第1導電型のドリフト領域20の表面の一部に、第2導電型の電界緩和領域110が形成されていることを特徴とする。この第2導電型の電界緩和領域110により、素子の耐圧がこの領域と、ドリフト領域20とのダイオード逆方向耐圧で決まるように設計できるため、高耐圧素子が得られる。

【００４１】

また、ゲート絶縁膜30にかかる電界が、第2導電型の電界緩和領域110とドリフト領域20との接合界面からドリフト領域20に伸びる空乏層によって緩和されるので、ゲート絶縁膜30の信頼性が向上する。

【００４２】

なお本例ではP^+型SiC電界緩和領域110はソース電極80に接続された例で説明したが、接続されていなくても構わない。

【００４３】

実施の形態4

図4は本発明による炭化珪素半導体装置の実施の形態4を示している。構成上の図3との相違は、N^+型多結晶シリコン層50下のSiCエピタキシャル領域20の部分に形成される溝120内に絶縁膜70を形成している点である。本例を適用することでN^+型SiC領域100に対してより深い位置から空乏層を伸ばすことができ、P^-型多結晶シリコン層60とN^+型SiC領域100との接合にかかる電界をシールドしやす

い。その結果、効果的にドレイン耐圧の低下を防止することができる。また、ゲート絶縁膜30に印加される電界が緩和されるのでゲート絶縁膜30の信頼性が向上する。

【００４４】

本例の作製においては、実施の形態3と異なり、高エネルギーのイオン注入による不純物導入が必要ない。その結果、結晶性回復を兼ねた1500℃以上もの不純物活性化アニールは不要であり、製造工程の負荷が減らせるとともに、高温アニールで生じる表面モフォロジーの悪化も回避できる。

【００４５】

実施の形態5

図5は本発明による炭化珪素半導体装置の実施の形態5を示している。ドレイン領域となるN^+型SiC基板10上に、N^-型エピタキシャル領域20が積層される。エピタキシャル領域20表層部の所定領域には所定深さを有する溝120が形成される。そして、溝120に沿って、ドリフト領域20上の所定領域にP^-型多結晶シリコン層60が形成される。P^-型多結晶シリコン層60とSiCエピタキシャル領域20とはヘテロ接合しており、図13のエネルギーバンド図に示すように、接合界面にはエネルギー障壁140が存在している。また、同じく溝120に沿ってN^+型多結晶シリコン層50がP^-型多結晶シリコン層60上に積層される。

【００４６】

溝120内にはゲート絶縁膜30を介してゲート電極40が形成されている。N^+型多結晶シリコン層50はソース電極80に接続される。N^+型SiC基板10の裏面にはドレイン電極90が形成されている。

【００４７】

このように、本実施の形態5では、炭化珪素半導体基体中の第1導電型のドレイン領域10と、ドレイン領域10と接続されて形成される第1導電型のドリフト領域20と、ドリフト領域20の表層部の所定領域に形成され、所定深さを有する溝120と、溝120に沿って、ドリフト領域20上の所定領域に形成され、炭化珪素半導体とヘテロ接合する第2導電型のヘテロ半導体領域60と、同じく溝120に沿って、第2導電型のヘテロ半導体領域60上に積層されて形成される第1導電型のヘテロ半導

体領域50と、溝120内にゲート絶縁膜30を介して充填されるゲート電極40と、ドレイン領域10に接触するドレイン電極90と、第1導電型のヘテロ半導体領域50に接触するソース電極80とを備えたことを特徴とする。

【００４８】

このため、実施の形態1記載の効果に加え、トレンチゲート構造により素子の面積効率を高め、オン抵抗の低減と素子の微細化が可能である。また、第2導電型のヘテロ半導体領域60と第1導電型のヘテロ半導体領域50を積層できることから、第2導電型のヘテロ半導体領域60の厚さを薄く形成することが容易であり、チャネル長を短くするのに効果的な構造である。

【００４９】

さらに、ヘテロ接合界面方向に対してゲート絶縁膜30を直交させることで、ゲート電極40からヘテロ接合界面までの電気力線の長さを短くすることができる。このため、ゲート電極40からの電界によるエネルギー障壁の厚さの制御性をさらに向上させることができる。その結果、低いゲート電圧で障壁のトンネル電流を流すことができ、ゲート電圧による主電流の制御が容易になる。

【００５０】

この炭化珪素半導体装置の動作は、基本的に図1に示す実施の形態1と同様である。すなわち、ソース電極80を接地し、ドレイン電極90に正の電圧Vdを印加して使用する。そして、このとき、ゲート電極40が接地されていると、素子の特性はP^-型多結晶シリコン層60とSiCエピタキシャル領域20とのヘテロ接合ダイオードの逆方向バイアス特性となる。

【００５１】

一方で、ゲート電極40に正電圧が印加されると、P^-型多結晶シリコン層60は強反転状態となり、表層にN^+型層が形成される。さらに、P^-型多結晶シリコン層60とSiCエピタキシャル領域20とのヘテロ接合界面に電界が作用し、電界集中によりヘテロ接合面がなすエネルギー障壁の厚さが薄くなる。その結果、ドレイン電圧Vdが所定電圧Vb以下であってもトンネル現象が生じて電流が流れ始める。

【００５２】

図1に示す実施の形態1と図5に示す実施の形態5の構造上の相違は2つある。1つ

目は、P^-型多結晶シリコン層60とN^+型多結晶シリコン層50とを積層して形成している点である。2つ目はP^-型多結晶シリコン層60とN^+型多結晶シリコン層50を深さ方向に貫通する溝120を形成し、その溝120内にゲート電極40を形成するトレンチゲート構造を形成している点である。

【００５３】

本例におけるトレンチゲート構造の適用により、素子の面積効率を高め、オン抵抗の低減と素子の微細化が可能である。また、P^-型多結晶シリコン層60とN^+型多結晶シリコン層50を積層できることから、P^-型多結晶シリコン層60の厚さを薄く形成することが容易であり、チャネル長を短くするのに効果的な構造である。

【００５４】

さらに、ヘテロ接合界面方向に対してゲート絶縁膜を直交させることで、ゲート電極からヘテロ接合界面までの電気力線の長さを短くすることができる。このため、ゲート電極からの電界によるエネルギー障壁の厚さの制御性をさらに向上させることができる。その結果、低いゲート電圧で障壁のトンネル電流を流すことができ、ゲート電圧による主電流の制御が容易になる。

【００５５】

次に、本実施の形態5の炭化珪素半導体装置の製造方法の一例を、図11(a)～(e)の断面図を用いて説明する。

【００５６】

まず、図11(a)の工程においては、N^+型SiC基板10の上に、例えば不純物濃度が10^{14}～10^{18} cm^{-3}、厚さが１～100μmのN^-型SiCエピタキシャル領域20が形成されている。

【００５７】

図11(b)の工程においては、エピタキシャル領域20に対して犠牲酸化を行い、その犠牲酸化膜を除去した後に、多結晶シリコン層を厚さ例えば0.1から10μm程度減圧CVD法を用いて堆積する。そして、この多結晶シリコン層に所望の不純物を導入し、P^-型多結晶シリコン層60とする。次に、再度減圧CVD法を用いて多結晶シリコン層を厚さ例えば0.1から10μm程度P^-型多結晶シリコン層60上に積

層する。このとき、堆積した多結晶シリコン層に対して所望の不純物導入を行ってN$^+$型多結晶シリコン層50を形成する。

【００５８】

この多結晶シリコン層に所望の不純物を導入する方法としては、堆積した多結晶シリコン層のさらに上に、高濃度にドーピングされたデポ膜を堆積し、600～1000℃程度の熱処理により、デポ膜中の不純物を多結晶シリコン層中に熱拡散させるか、または、イオン注入により不純物を直接多結晶シリコン層中に導入してもよい。また、多結晶シリコン層におけるキャリアの移動度を向上させるために、例えば多結晶シリコン層をアニールして単結晶化または多結晶のグレインサイズを大きくしてもよい。さらに、多結晶シリコン層にレーザー光を照射することにより結晶化させてもよい。

【００５９】

図11(c)の工程においては、N$^+$型多結晶シリコン層50及びP$^-$型多結晶シリコン層60を深さ方向に貫通してN$^-$型エピタキシャル領域20に達する、例えば0.1から10μｍの深さの溝120を形成する。

【００６０】

図11(d)の工程においては、例えばCVD酸化膜を堆積してゲート絶縁膜30を形成し、ゲート絶縁膜30上に再度多結晶シリコン層を厚さ例えば0.1から10μｍ程度、減圧CVD法を用いて堆積する。その後、この多結晶シリコン層に所望の不純物を導入する。次に、この多結晶シリコン層のパターニングを行って、溝120内にゲート電極40を形成する。

【００６１】

図11(e)の工程においては、N$^+$型多結晶シリコン層50に接触するようにソース電極80を形成し、SiC基板10の裏面にドレイン電極90として金属膜を蒸着し、例えば600～1300℃程度で熱処理してオーミック電極とする。

【００６２】

このようにして図5に示す炭化珪素半導体装置が完成する。

【００６３】

実施の形態6

図6は本発明による炭化珪素半導体装置の実施の形態6を示している。構成上の図5との相違は、P^-型多結晶シリコン層60下のSiCエピタキシャル領域20の部分にN^+型SiC領域100を配置したことである。

【００６４】

P^-型多結晶シリコン層をN^+型SiC領域100にヘテロ接合させると、N^+型SiC領域100にはキャリアが多量に存在することに加えて、N^+型SiC領域100への空乏層の拡がりが小さくなり、エネルギー障壁の厚さが薄く形成される。その結果、低いゲート電圧で障壁のトンネル電流を流すことができ、ゲート電圧による主電流の制御が容易になる。

【００６５】

すなわち、実施の形態6の炭化珪素半導体装置では、実施の形態5記載の効果に加え、ゲート電圧による素子主電流の制御性が向上するという効果が得られる。

【００６６】

このとき、P^-型多結晶シリコン層60とN^+型SiC領域100との耐圧は低いが、フィールドプレート効果によりゲート絶縁膜30下部からN^-型エピタキシャル領域20内に空乏層が伸びるので、P^-型多結晶シリコン層60とN^+型SiC領域100との接合にかかる電界がシールドされるから、ドレイン耐圧の低下を防止できる。

【００６７】

実施の形態7

図7は本発明による炭化珪素半導体装置の実施の形態7を示している。構成上の図6との相違は、溝120底部のゲート絶縁膜30下のSiCエピタキシャル領域20の部分に、P^+型SiC電界緩和領域110を配置したことである。

【００６８】

本例では、実施の形態6で示したフィールドプレート効果による電界シールドに比べ、P^+型SiC電界緩和領域110からN^-型エピタキシャル領域20へとより空乏層を伸ばすことができる。このため、P^-型多結晶シリコン層60とN^+型SiC領域100との接合にかかる電界がシールドされるから、ドレイン耐圧の低下を防止することができる。

【００６９】

また、溝120底部のゲート絶縁膜30に印加される電界が緩和されるので、ゲート絶縁膜の信頼性が向上する。

【００７０】

なお、本例においてP^{+}型SiC電界緩和領域110は、図示されない奥行き方向でソース電極80に接続されていても構わない。

【００７１】

実施の形態8

図8は本発明による炭化珪素半導体装置の実施の形態8を示している。ドレイン領域となるN^{+}型SiC基板10上に、N^{-}型エピタキシャル領域20が積層される。エピタキシャル領域20上の所定領域には所定深さを有する溝120が形成され、溝120内にはP^{-}型多結晶シリコン層60が形成される。P^{-}型多結晶シリコン層60とSiCエピタキシャル領域20とはヘテロ接合しており、図13のエネルギーバンド図に示すように、接合界面にはエネルギー障壁140が存在している。また、溝120内にはこのP^{-}型多結晶シリコン層60を介してN^{+}型多結晶シリコン層60が形成される。さらに、P^{-}型多結晶シリコン層60の表面にゲート絶縁膜30が形成される。このゲート絶縁膜30は少なくともドリフト領域20と、及びN^{+}型多結晶シリコン層50まで延設される。ゲート絶縁膜30上にはゲート電極40が形成される。N^{+}型多結晶シリコン層50はソース電極80に接続される。N^{+}型SiC基板10の裏面にはドレイン電極90が形成されている。

【００７２】

すなわち、本実施の形態8では、炭化珪素半導体基体中の第1導電型のドレイン領域10と、ドレイン領域10と接続されて形成される第1導電型のドリフト領域20と、ドリフト領域20の表層部の所定領域に形成され、所定深さを有する溝120と、溝120内に形成され、炭化珪素半導体とヘテロ接合する第2導電型のヘテロ半導体領域60と、溝120内に第2導電型のヘテロ半導体領域60を介して形成される第1導電型のヘテロ半導体領域50と、第2導電型のヘテロ半導体領域60の表面に形成され、少なくともドリフト領域20及び第1導電型のヘテロ半導体領域50まで延設されるゲート絶縁膜30と、ゲート絶縁膜30の上に形成されたゲート電極40と、ドレイン領域10に接触するドレイン電極90と、第1導電型のヘテロ半導体領域50に

接触するソース電極80とを備えたことを特徴とする。

【００７３】

このため、実施の形態1記載の効果に加え、ゲート絶縁膜30にかかる電界が溝120内のヘテロ半導体領域60により緩和されるので、ゲート絶縁膜30の信頼性が向上する。また、ヘテロ接合界面方向に対してゲート絶縁膜30を直交させることで、ゲート電極40からヘテロ接合界面までの電気力線の長さを短くすることができる。このため、ゲート電極40からの電界によるエネルギー障壁の厚さの制御性をさらに向上させることができる。その結果、低いゲート電圧で障壁のトンネル電流を流すことができ、ゲート電圧による主電流の制御が容易になる。

【００７４】

この炭化珪素半導体装置の動作は、基本的に図1に示す実施の形態1と同様である。すなわち、ソース電極80を接地し、ドレイン電極90に正の電圧Vdを印加して使用する。そして、このとき、ゲート電極40が接地されていると、素子の特性はP^-型多結晶シリコン層60とSiCエピタキシャル領域20とのヘテロ接合ダイオードの逆方向バイアス特性となる。

【００７５】

一方で、ゲート電極40に正電圧が印加されると、P^-型多結晶シリコン層60は強反転状態となり、表層にN^+型層が形成される。さらに、P^-型多結晶シリコン層60とSiCエピタキシャル領域20とのヘテロ接合界面に電界が作用し、電界集中によりヘテロ接合面がなすエネルギー障壁の厚さが薄くなる。その結果、ドレイン電圧Vdが所定電圧Vb以下であってもトンネル現象が生じて電流が流れ始める。

【００７６】

図1に示す実施の形態1と図5に示す実施の形態5の構造上の相違は、溝120を形成し、その中にP^-型多結晶シリコン層60を形成している点である。

【００７７】

本例における構造の適用により、ゲート絶縁膜30にかかる電界が溝120内のヘテロ半導体領域60により緩和されるので、ゲート絶縁膜30の信頼性が向上する。また、ヘテロ接合界面方向に対してゲート絶縁膜30を直交させることで、ゲート電極40からヘテロ接合界面までの電気力線の長さを短くすることができる。この

ため、ゲート電極40からの電界によるエネルギー障壁の厚さの制御性をさらに向上させることができる。その結果、低いゲート電圧で障壁のトンネル電流を流すことができ、ゲート電圧による主電流の制御が容易になる。

【００７８】

次に、本実施の形態8の炭化珪素半導体装置の製造方法の一例を、図12(a)～(f)の断面図を用いて説明する。

【００７９】

まず、図12(a)の工程においては、N^+型SiC基板10の上に、例えば不純物濃度が10^{14}～10^{18} cm^{-3}、厚さが１～100μmのN^-型SiCエピタキシャル領域20が形成されている。

【００８０】

図12(b)の工程においては、例えば0.1から10μmの深さの溝120を形成する。

【００８１】

図12(c)の工程においては、エピタキシャル領域20に対して犠牲酸化を行い、その犠牲酸化膜を除去した後に、多結晶シリコン層60を厚さ例えば0.1から10μm程度減圧CVD法を用いて堆積する。その後、この多結晶シリコン層に所望の不純物を導入し、P^-型多結晶シリコン層とする。この方法としては、堆積した多結晶シリコン層のさらに上に、高濃度にドーピングされたデポ膜を堆積し、600～1000℃程度の熱処理により、デポ膜中の不純物を多結晶シリコン層中に熱拡散させるか、または、イオン注入により不純物を直接多結晶シリコン層中に導入してもよい。また、多結晶シリコン層におけるキャリアの移動度を向上させるために、例えば多結晶シリコン層をアニールして単結晶化または多結晶のグレインサイズを大きくしてもよい。さらに、多結晶シリコン層にレーザー光を照射することにより結晶化させてもよい。

【００８２】

図12(d)の工程においては、例えばCMP法を用いて多結晶シリコン層60を機械的化学研磨し、多結晶シリコン層60を溝120内部に残す。次に、溝120内のP^-型多結晶シリコン層60の所定領域に、所定深さまで所望の不純物を導入し、N^+型多結晶シリコン層50を形成する。

【００８３】

図12(e)の工程においては、例えばCVD酸化膜を堆積してゲート絶縁膜30を形成し、ゲート絶縁膜30上に再度多結晶シリコン層を厚さ例えば0.1から10μm程度、減圧CVD法を用いて堆積する。その後、多結晶シリコン層40に所望の不純物を導入する。次に、多結晶シリコン層40のパターニングを行ってゲート電極40を形成する。

【００８４】

図12(f)の工程においては、N^+型多結晶シリコン層50に接触するようにソース電極80を形成し、SiC基板10の裏面にドレイン電極90として金属膜を蒸着し、例えば600～1300℃程度で熱処理してオーミック電極とする。

【００８５】

このようにして図8に示す炭化珪素半導体装置が完成する。

【００８６】

実施の形態9

図9は本発明による炭化珪素半導体装置の実施の形態9を示している。構成上の図8との相違は、ゲート絶縁膜下のSiCエピタキシャル領域20の部分に、N^+型高濃度SiC領域100を配置したことである。

【００８７】

P^-型多結晶シリコンをN^+型SiC領域100にヘテロ接合させると、N^+型SiC領域100にはキャリアが多量に存在することに加えて、N^+型SiC領域100への空乏層の拡がりが小さくなり、エネルギー障壁の厚さが薄く形成される。その結果、低いゲート電圧で障壁のトンネル電流を流すことができ、ゲート電圧による主電流の制御が容易になる。

【００８８】

すなわち、実施の形態9の炭化珪素半導体装置では、実施の形態8記載の効果に加え、ゲート電圧による素子主電流の制御性が向上するという効果が得られる。このとき、P^-型多結晶シリコン層60とN^+型SiC領域100との耐圧は低いが、P^-型多結晶シリコン層60とN^-型エピタキシャル領域20の接合界面からN^-型エピタキシャル領域20内に空乏層が伸びるので、P^-型多結晶シリコン層60とN^+型SiC

領域100との接合にかかる電界がシールドされるから、ドレイン耐圧の低下を防止できる。

【図面の簡単な説明】

【図１】

本発明の実施の形態1を示す断面図

【図２】

本発明の実施の形態2を示す断面図

【図３】

本発明の実施の形態3を示す断面図

【図４】

本発明の実施の形態4を示す断面図

【図５】

本発明の実施の形態5を示す断面図

【図６】

本発明の実施の形態6を示す断面図

【図７】

本発明の実施の形態7を示す断面図

【図８】

本発明の実施の形態8を示す断面図

【図９】

本発明の実施の形態9を示す断面図

【図１０】

本発明の実施の形態1の製造工程を示す断面図

【図１１】

本発明の実施の形態5の製造工程を示す断面図

【図１２】

本発明の実施の形態8の製造工程を示す断面図

【図１３】

Siと4H-SiCのエネルギーバンド図

【図１４】

Siと4H-SiCのエネルギーバンド図（ドレイン電圧印加、ゲート電圧オフ時）

【図１５】

Siと4H-SiCのエネルギーバンド図（ドレイン電圧印加、ゲート電圧オン時）

【符号の説明】

10･･･N^+型SiC基板

20･･･N^-型SiCエピタキシャル領域（ドリフト領域）

30･･･ゲート絶縁膜

40･･･ゲート電極

50･･･N^+型多結晶シリコン

60･･･P^-型多結晶シリコン

70･･･絶縁膜

80･･･ソース電極

90･･･ドレイン電極

100･･･N^+型SiC領域

110･･･P^+型SiC領域

120･･･溝

130･･･層間膜

140･･･ヘテロ接合障壁

150･･･P^-型SiC領域

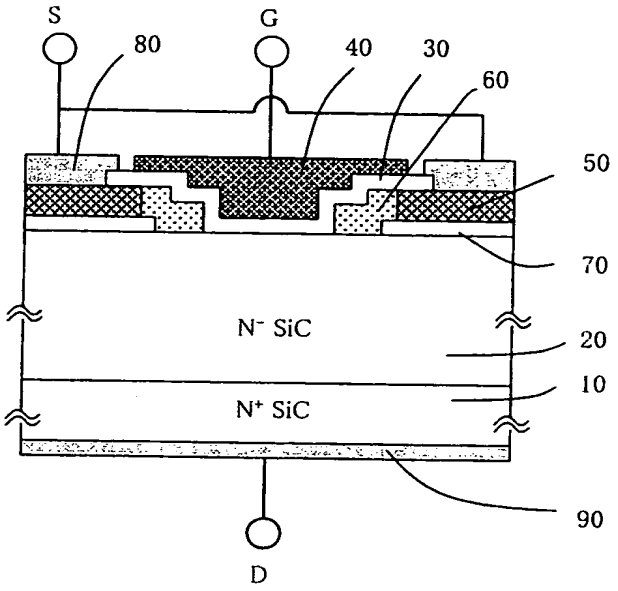
160･･･N^+型SiC領域（ソース領域）

170･･･チャネル領域

【書類名】　　図面

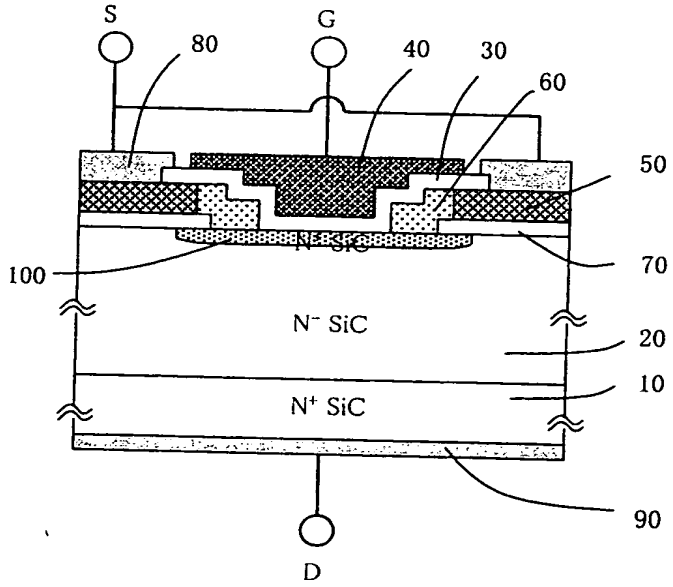
【図１】

【図1】



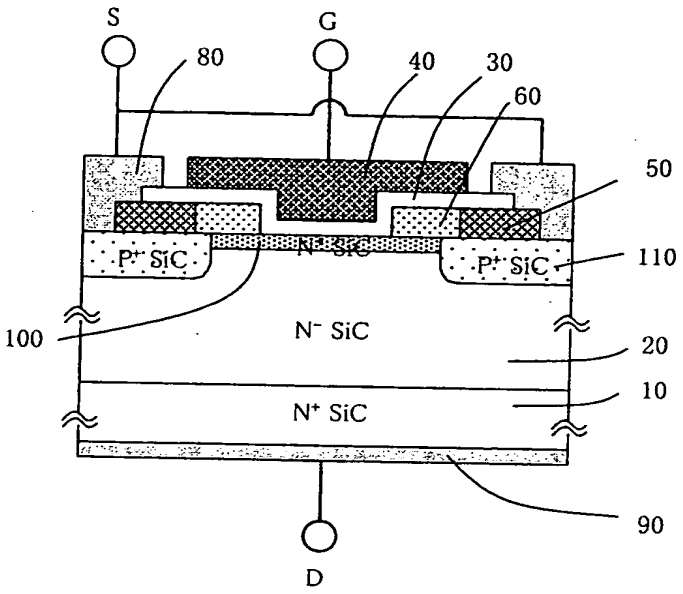
【図２】

【図2】



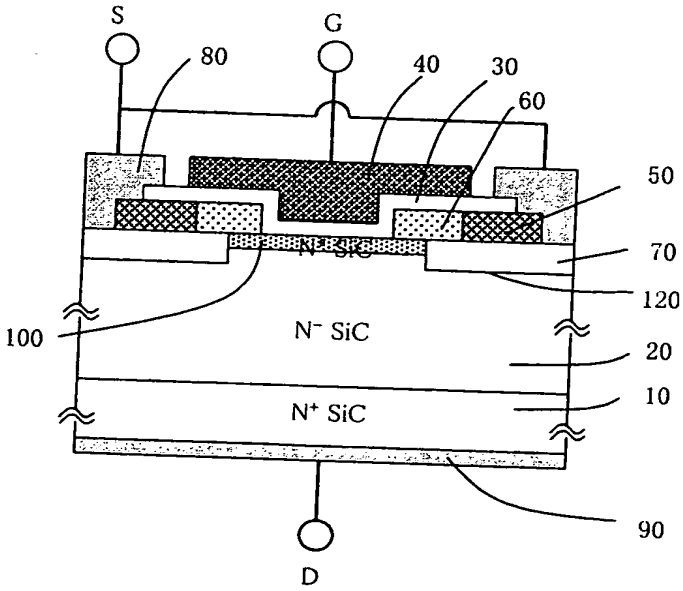
【図３】

【図3】


S
G
80
40
30
60
50
P+ SiC
N+ SiC
P+ SiC
110
100
N- SiC
20
10
N+ SiC
90
D

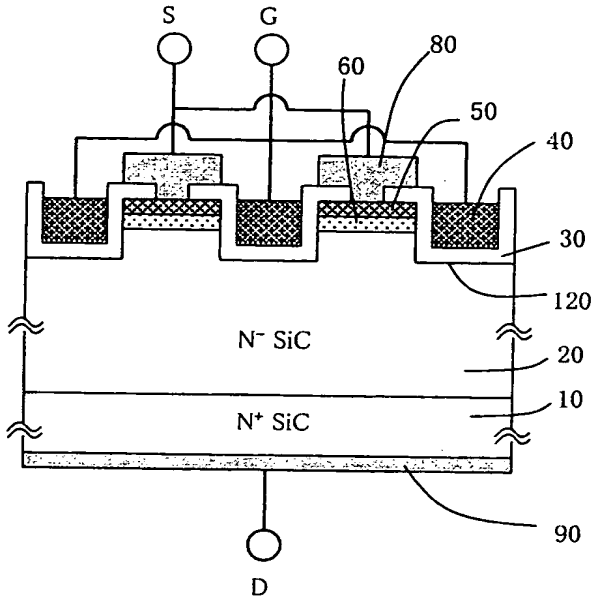
【図４】

【図4】


S
G
80
40
30
60
50
N+ SiC
70
120
100
N- SiC
20
10
N+ SiC
90
D

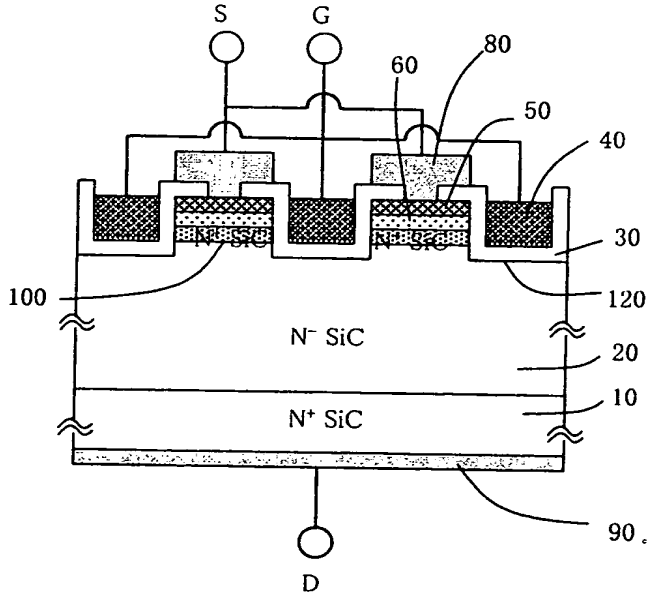
【図５】

【図5】


S
G
80
60
50
40
30
120
N⁻ SiC
20
N⁺ SiC
10
90
D

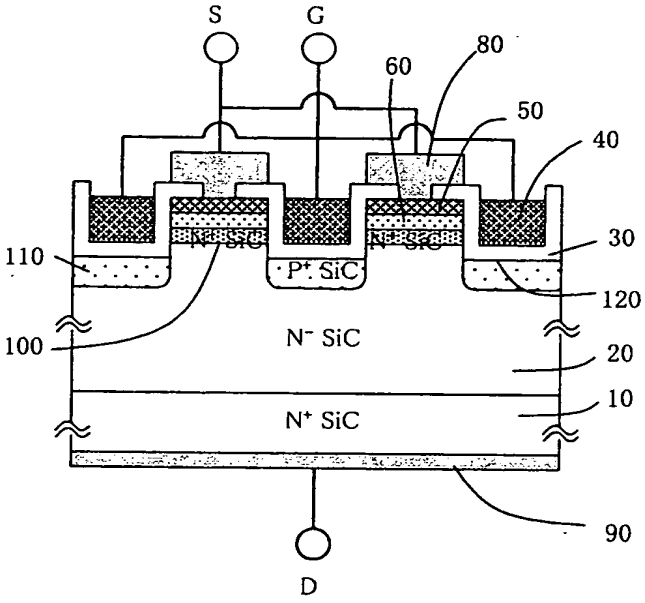
【図６】

【図6】


S
G
80
60
50
40
30
120
100
N⁻ SiC
20
N⁺ SiC
10
90
D

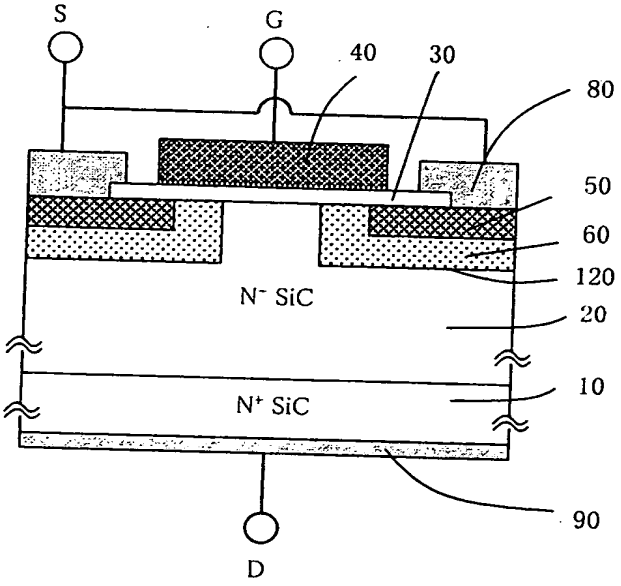
【図７】

【図7】


S
G
80
60
50
40
30
110
N+ SiC
P+ SiC
N+ SiC
120
100
N- SiC
20
10
N+ SiC
90
D

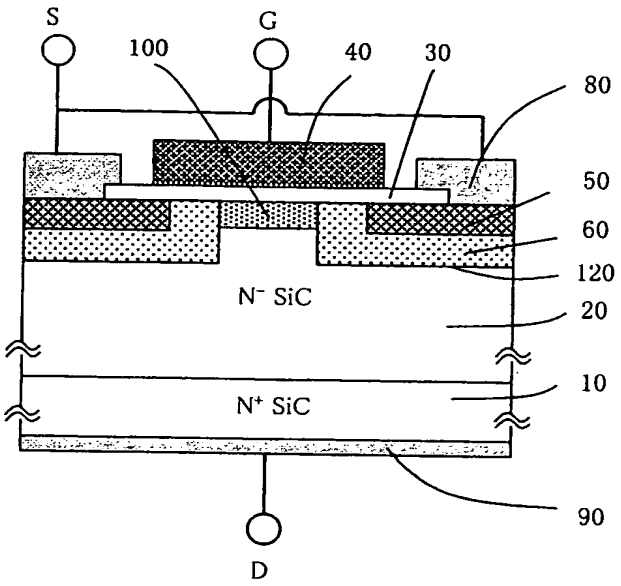
【図８】

【図8】


S
G
40
30
80
50
60
120
N- SiC
20
10
N+ SiC
90
D

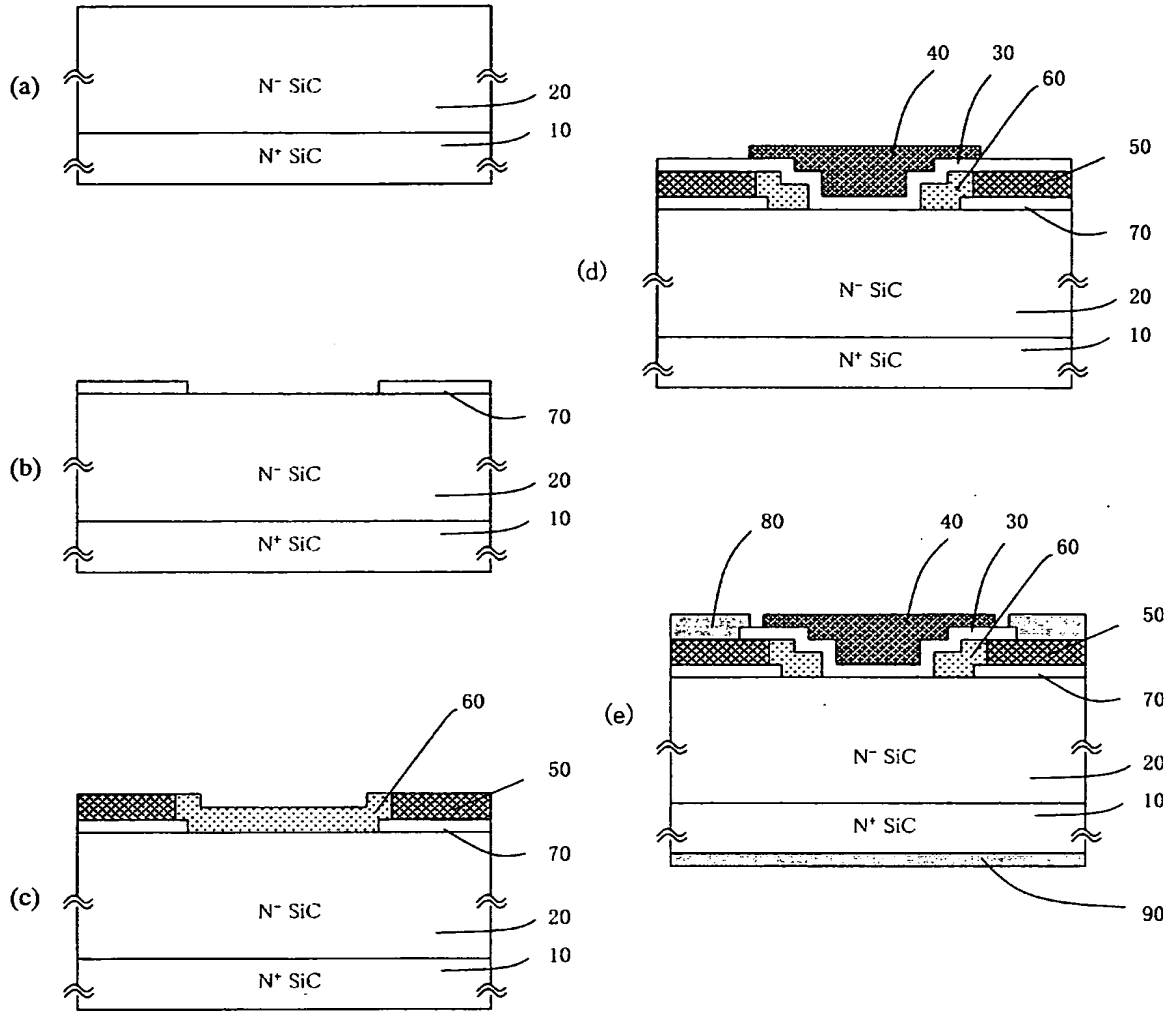
【図９】

【図9】



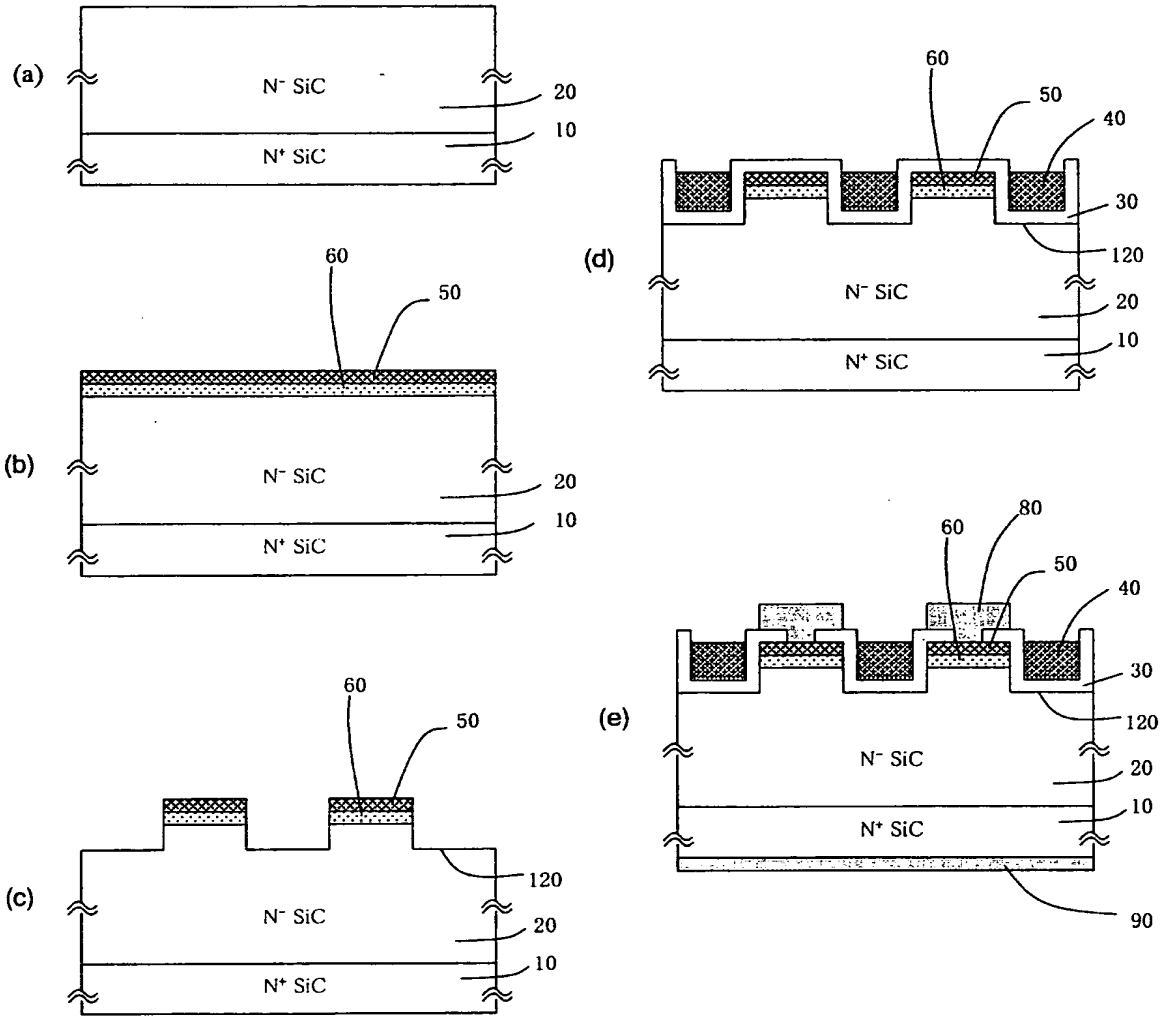
【図１０】

【図10】


(a)
N⁻ SiC
N⁺ SiC
20
10
(b)
70
N⁻ SiC
N⁺ SiC
20
10
(c)
60
50
70
N⁻ SiC
N⁺ SiC
20
10
(d)
40
30
60
50
70
N⁻ SiC
N⁺ SiC
20
10
(e)
80
40
30
60
50
70
N⁻ SiC
N⁺ SiC
20
10
90

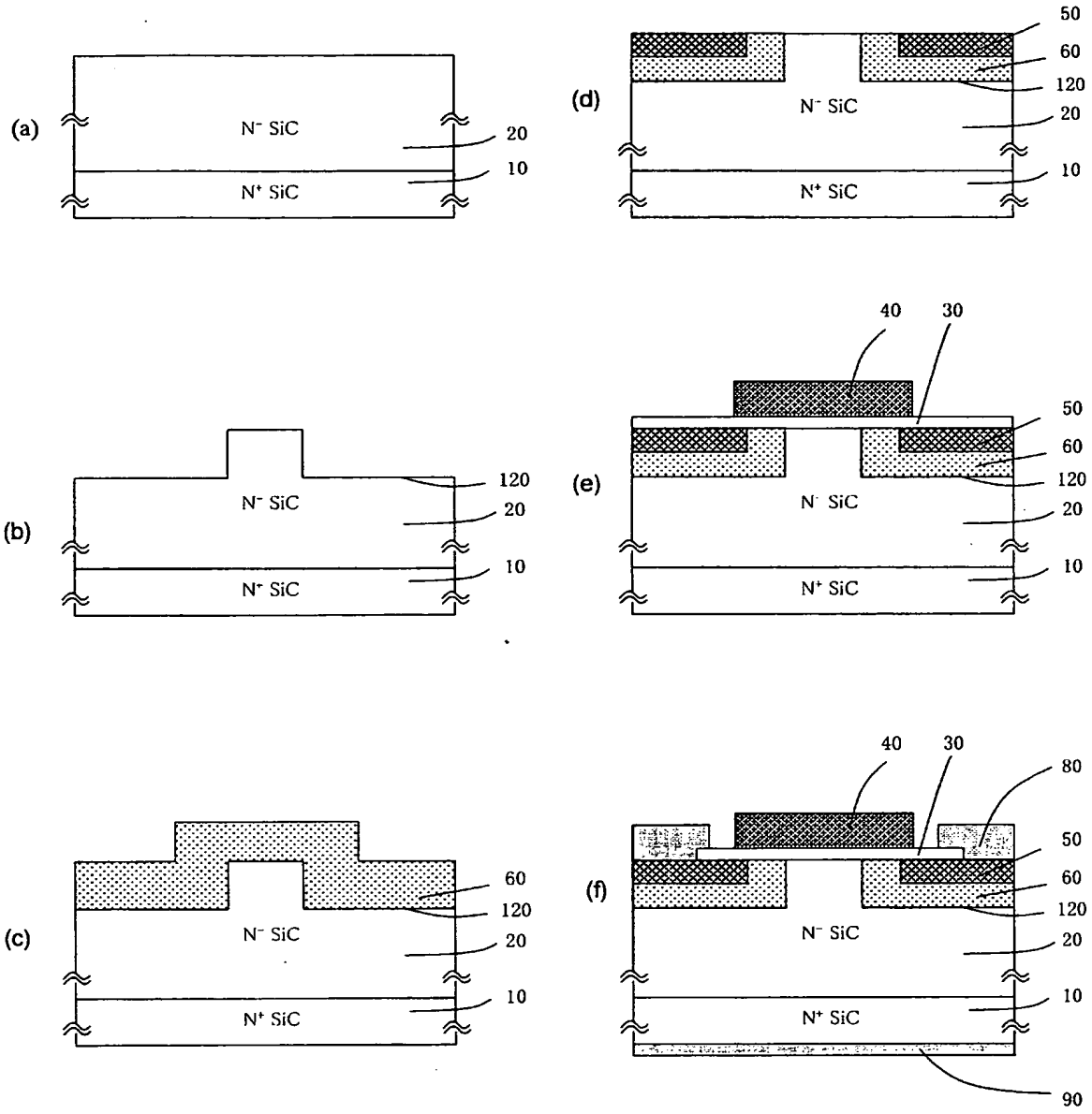
【図１１】

【図11】


(a)
N⁻ SiC
N⁺ SiC
20
10
(b)
60
50
N⁻ SiC
N⁺ SiC
20
10
(c)
60
50
120
N⁻ SiC
N⁺ SiC
20
10
(d)
60
50
40
30
120
N⁻ SiC
N⁺ SiC
20
10
(e)
60
80
50
40
30
120
N⁻ SiC
N⁺ SiC
20
10
90

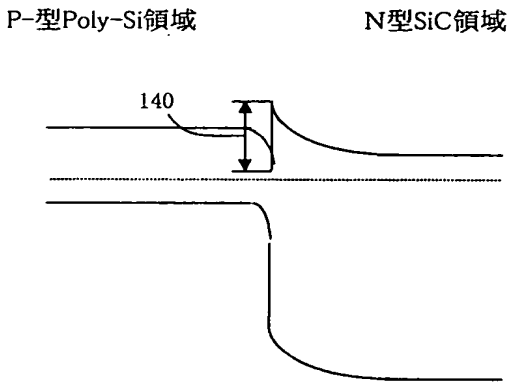
【図１２】

【図12】


(a)
N⁻ SiC
N⁺ SiC
20
10
(b)
N⁻ SiC
N⁺ SiC
120
20
10
(c)
N⁻ SiC
N⁺ SiC
60
120
20
10
(d)
N⁻ SiC
N⁺ SiC
50
60
120
20
10
(e)
N⁻ SiC
N⁺ SiC
40
30
50
60
120
20
10
(f)
N⁻ SiC
N⁺ SiC
40
30
80
50
60
120
20
10
90

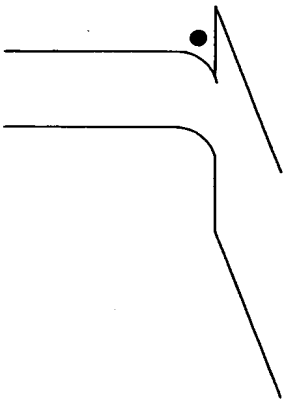
【図１３】

【図13】



【図１４】

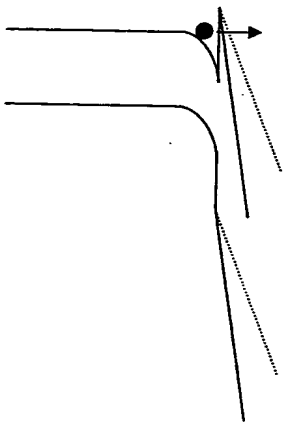
【図14】



オフ状態

【図１５】

【図15】



オン状態

【書類名】　　要約書

【要約】

【課題】低オン抵抗の高耐圧電界効果トランジスタである炭化珪素半導体装置を提供する。

【解決手段】炭化珪素半導体基体中の第1導電型のドレイン領域10と、ドレイン領域10と接続されて形成される第1導電型のドリフト領域20と、ドリフト領域20上の所定領域に形成され、炭化珪素半導体とヘテロ接合する第2導電型のヘテロ半導体領域60と、第2導電型のヘテロ半導体領域60に接続するように形成され、ドリフト領域20には接続されない第1導電型のヘテロ半導体領域50と、第2導電型のヘテロ半導体領域60の表面に形成され、少なくともドリフト領域20及び第1導電型のヘテロ半導体領域50まで延設されるゲート絶縁膜30と、ゲート絶縁膜30の上に形成されたゲート電極40と、ドレイン領域10に接触するドレイン電極90と、第1導電型のヘテロ半導体領域50に接触するソース電極80とを備える。

【選択図】　　図１

出　願　人　履　歴　情　報

識別番号　　〔０００００３９９７〕

１．変更年月日　　１９９０年　８月３１日
［変更理由］　新規登録
住　所　神奈川県横浜市神奈川区宝町２番地
氏　名　日産自動車株式会社